

Name:

Punkte: /31P Note:

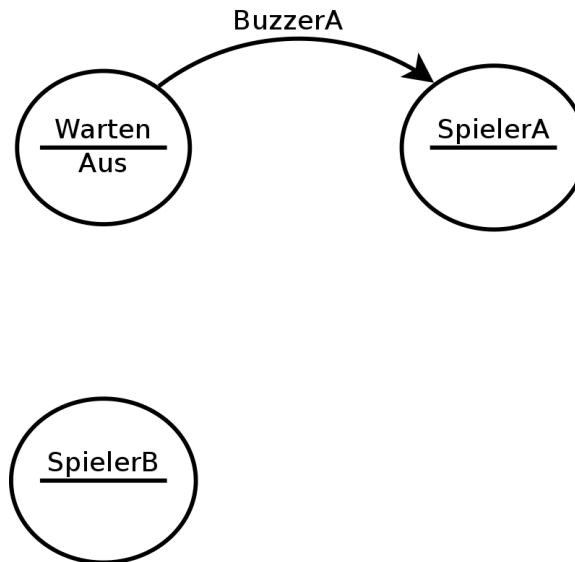
1) Automatentheorie

Wir bauen einen Quizautomaten: Der Quizmaster stellt zwei Mitspielern eine Frage. Es soll eine Lampe bei dem Mitspieler aufleuchten, der als erstes auf seinen Buzzer (Taster) drückt. Dadurch sieht man, wer als erstes gedrückt hat und der Mitspieler kann dann seine Antwort geben. Eine eingeschaltete Lampe kann nur durch einen Rücksetz-Taster beim Quizmaster ausgeschaltet werden. Damit kann die nächste Spielrunde beginnen.

Es gibt also drei Eingabesymbole: BuzzerA, BuzzerB und Rücksetzen. Die Ausgabesymbole sind: LampeA, LampeB und Aus. Die Zustände sind Warten, SpielerA und SpielerB.

1.a) Vervollständige das Zustandsdiagramm und wähle einen sinnvollen Startzustand

\_\_\_/5P



1.b) Um welchen Automatentyp handelt es sich?

\_\_\_/1P

1.c) Wie schaut die Zustandsübertragungsfunktion  $\delta$  und die Ausgabefunktion  $\omega$  aus?

\_\_\_/4P

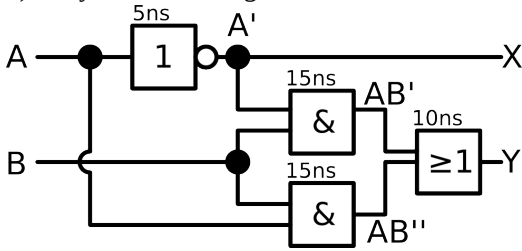
2) Datenintegrität

2.a) Blockparität

\_\_\_/4P

Zeige und erläutere an einem Beispiel mit gerader Parität, wieso das Auftreten eines 2-Bit Fehlers nicht korrigierbar ist. Wo sind die Datenbits sowie Spalten-, Zeilen- und Kreuzparität?

3) Synchrones Design

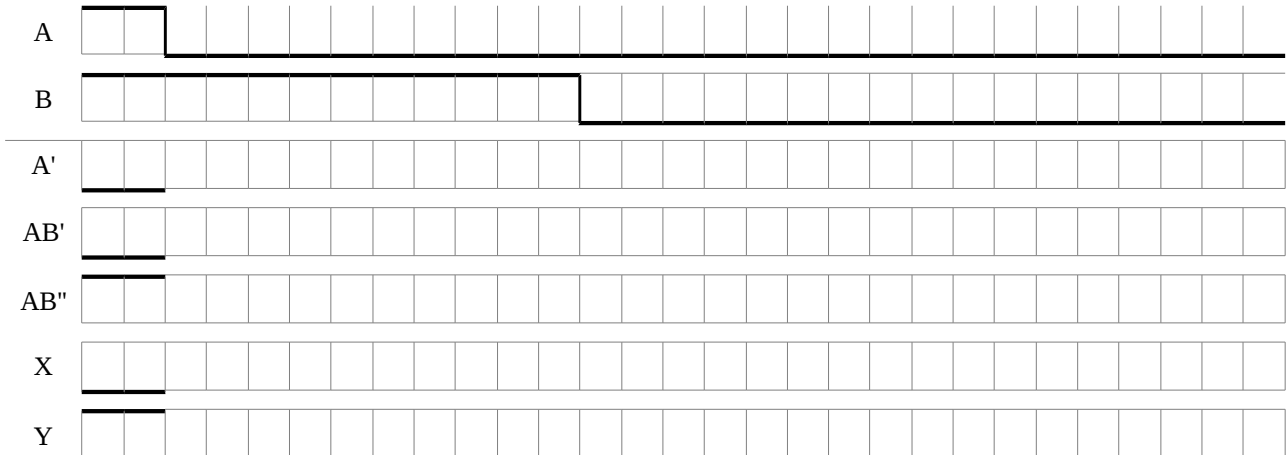


3.a) Über welchen Pfad geht der kritische Pfad und welche Verzögerung hat dieser? \_\_\_/2P

3.b) Logischer Hazard \_\_\_/2P  
 Welche Bedingungen sind notwendig und wo kann ein logischer Hazard in diesem Beispiel vorkommen?

3.c) Timing \_\_\_/3P

Vervollständige unten stehendes Timing Diagramm unter Berücksichtigung der Verzögerungszeit. Die Breite von einem Kästchen entspricht 5ns.



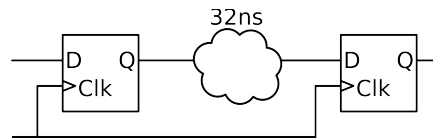
3.d) Markiere im obigen Diagramm die Auswirkung des logischen Hazards \_\_\_/2P

4) Timing

4.a) Taktberechnung \_\_\_/3P

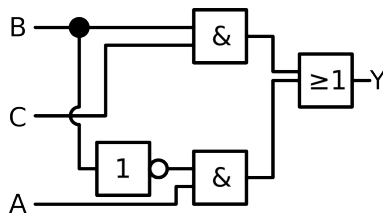
Aus welchen Komponenten besteht die minimale Taktperiode? Der kritische Pfad der Kombinatorik ist 32ns. Wie groß ist die minimale Taktperiode? Weiters stehen im Datenblatt des Flip-Flops folgende Daten:

$t_{su}$	Input Setup Time	10ns
$t_H$	Input Hold Time	3ns
$t_{pset}$	Propagation Delay Set	15ns
$t_{preset}$	Propagation Delay Reset	23ns
$t_{pclock}$	Propagation Delay Clock to Output	15ns
$t_{clockskew}$	Global Clock Skew	3ns



4.b) Optimierung des logischen Hazards \_\_\_/5P

Erweitere die Schaltung so, dass es zu keinem logischen Hazard mehr kommt. Stelle dazu die Wahrheitstabelle sowie das KV Diagramm auf.



A	B	C				Y

